

03 CD
10/22/01
Patent

Attorney's Docket No. 040060-113

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

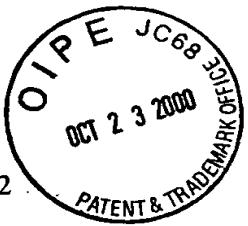
In re Patent Application of

Lars BOHLIN

Application No. 09/590,172

Filed: June 9, 2000

For: **A METHOD OF SUPERVISING
PARALLEL PROCESSES**



) Group Art Unit: Unassigned

) Examiner: Unassigned

CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Swedish Patent Application No. 9902530-6

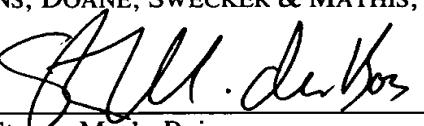
Filed: July 1, 1999

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

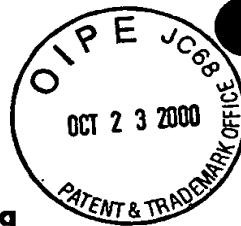
Date: October 23, 2000

By: 
Steven M. du Bois
Registration No. 35,023

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

PRV

PATENT- OCH REGISTRERINGSVERKET
Patentavdelningen



**Intyg
Certificate**

Härmed intygas att bifogade kopior överensstämmer med de handlingar som ursprungligen ingivits till Patent- och registreringsverket i nedannämnda ansökan.

This is to certify that the annexed is a true copy of the documents as originally filed with the Patent- and Registration Office in connection with the following patent application.

(71) *Sökande* **Telefonaktiebolaget L M Ericsson, Stockholm SE**
Applicant (s)

(21) *Patentansökningsnummer* **9902530-6**
Patent application number

(86) *Ingivningsdatum* **1999-07-01**
Date of filing

Stockholm, 2000-06-13

För Patent- och registreringsverket
For the Patent- and Registration Office

Emma Högberg
Emma Högberg

Avgift
Fee **170:-**

METOD FÖR ÖVERVAKNING AV PARALLELIA PROCESSER

Ink t. Patent- och rep. urk.

1999 -U/- 63

Huvudfaxen Kasson

Ink. i Patent- och ren vord.

1999-U/-01

1

Huvudfaxen Kossor

TEKNISKT OMRÄDE

Föreliggande uppfinning härför sig till ett förfarande och en anordning för att övervaka parallell exekvering i ett datasystem.

5

TEKNIKENS STÄNDPUNKT

För att uppnå högre tillförlitlighet i ett synkront datasystem används parallella processorer. I exempelvis ett telekommunikationssystem arbetar två centralprocessorer parallellt för att uppnå redundans. En av centralprocessorerna har kontrollen gentemot omgivningen medan den andra centralprocessorn är överksam och bara beredd att ta över kontrollen ifall den första processorn skulle uppvisa fel. Bägge processorena arbetar synkront. Under exekveringen är de två processorernas status hela tiden identisk, dvs under förutsättning att inget fel föreligger. För att upptäcka ett eventuellt fel genererar varje processor, efter varje instruktionscykel, ett dataord som visar processorns inre status. Statusorden omfattar bitar som representerar olika enheter inom respektive processor. En huvudminnesenhet kan exempelvis vara representerad av en eller flera av bitarna i statusordet. För att upptäcka ett fel i en av processorerna, jämförs processorernas statusord efter varje klockcykel. Statusordet som genererats av den första centralprocessorn översändes därmed till den andra centralprocessorn för jämförelse. I den andra centralprocessorn jämförs det översända statusordet med ett motsvarande statusord som genererats vid motsvarande klockcykel i den andra centralprocessorn. Om ingen av processorerna omfattas av någon felaktig enhet är de två statusorden identiska. I händelse av ett fel i någon enhet i processorerna skiljer sig statusorden åt och en

Ink. t Patent- och reg.verket

1999-U/-01

2

Huvudfaxen Kassan

fortsatt analys vidtager för att se vilken av processorerna som omfattas av felet.

Den Europeiska patentansökan EP 00752656 A visar ett feitolertant system som inkluderar två centrala processorer som parallellt exekverar instruktioner och alltså utför samma operationer vid samma tidpunkt. En kopia av varje instruktion från varje processor mottages av ett kontrolelement och jämförs kontinuerligt.

Ett problem uppkommer vid utökad processorkomplexitet. Ökad processorkomplexitet innebär att fler enheter i en processor måste övervakas vilket innebär att statusorden som överföres måste omfatta fler bitar. Dessutom genereras statusord i allt högre takt allteftersom processorer medger högre exekveringshastighet. Tillsammans innebär den ökade komplexiteten och den högre exekveringshastigheten att systemet kräver högre bandbredd vid överföringen av statusord mellan två parallella processorer.

REDOCÖRELSE FÖR UPPFINNINGEN

Utökad processorkomplexitet medför högre krav på felövervakning. Vid felövervakning jämförs status i två parallella processer. Föreliggande uppfinning angriper problemet att allt fler bitar i ett statusord måste överföras mellan de två parallella processerna för att upprätthålla nuvarande kvalité vid övervakningen.

Detta problem lösas av uppfinningen genom att i stället för att överföra ett helt statusord från ett första till ett andra system, överförs endast en checkkod som alstrats ur det första statusordet. Med hjälp av checkkoden och motsvarande parallella statusord i det andra systemet kan det första statusordet återskapas i det andra systemet.

Ink. t. Patent- och reg.verket

1999 -07- 01

3

Huvudfoxen, Kassap

Ett andamål med föreliggande uppfinning är således att bibehålla nuvarande standard vid övervakning av parallella system, utan att utöka bandbredden vid överföringen mellan systemen.

5 Mer i detalj lösas problemet genom att:

- En checkkod genereras som representerar ett första dataord från det första systemet. Checkkoden utgörs av en delmängd av det antal bitar som det första dataordet omfattar.
- Checkkoden överförs från det första systemet till det 10 andra systemet.
- Det första dataordet från det första systemet återskapas genom att checkkoden och det första statusordets motsvarande parallella statusord från det andra systemet utvärderas. Genom att jämföra det första statusordets checkord med det andra statusordets checkord, kan bitar 15 som skiljer sig åt i statusorden, pekas ut.

En fördel med uppfinningen är att endast ett fåtal bitar behöver överföras mellan två parallella system för att återskapa ett dataord som omfattar betydligt fler bitar.

20 En annan fördel med uppfinningen är att bandbredden vid överföringen mellan de två parallella systemen kan hållas låg utan att ge avkall på kvalitén vid övervakningen.

En annan fördel med uppfinningen är nuvarande standard vid 25 övervakning av de parallella systemen kan upprätthållas trots en större mängd övervakningsobjekt.

En annan fördel med uppfinningen är nuvarande standard vid övervakning av de parallella systemen kan upprätthållas trots högre krav på exekveringstid.

30 Uppfinningen kommer nu att beskrivas närmare med hjälp av föredragna utföringsformer och med hänvisning till bifogade ritning.

Ink. t. Patent- och rea.verket

1999 -u/- 0 1

4

Huvudfaxen Kassan

FIGURBESKRIVNING

Figur 1 visar en telefonväxel som sammankopplar teleenheter med hjälp av en centralprocessorenhet och regionalprocessorer.

5 Figur 2 visar med hjälp av ett blockschema parallella processorer i centralprocessorenheten från figur 1.

Figur 3 visar med ett mer detaljerat blockschema enheter som är av betydelse för uppfinningen i de två parallella processorer från figur 2.

10 Figur 4 visar ett flödesschema över ett förfarande enligt uppfinningen.

FÖREDRAGNA UTFÖRINGSFORMER

I figur 1 visas schematiskt ett publikt 15 telekommunikationssystem. Via en omkopplarenhet SE kan en förbindelse upprättas mellan två terminaler T1, T2. En centralprocessorenhet CPU och olika regionalprocessorer RP kontrollerar omkopplarenheten SE. Centralprocessorenheten CPU omfattar parallella centralprocessorer. En av centralprocessorerna har det övergripande ansvaret för kontrollen av telekommunikationssystemet medan den andra processorn antar en passiv roll. Regionalprocessorer RP avlastar den aktiva centralprocessorn genom att utföra rutinuppgifter samt rapportera händelser som inträffar i systemet.

I figur 2 visas en anordning enligt uppfinningen. I figuren 20 visas den i figur 1 nämnda centralprocessorenheten CPU. Processorenheten omfattar två parallella synkrona centralprocessorer CP-A och CP-B. De två processornerna kallas i fortsättningen för en första processor CP-A och en 30 andra processor CP-B. I detta utföringsexempel har den

Ink t. Patent- och Rep. verket:

1999-U/-U 1

5

Huvudfaxen Kassan

första processorn CP-A det övergripande ansvaret medan den andra processorn CP-B har den mer passiva rollen. Vid varje klockcykel inträffar händelser i de bågge centralprocessorerna, händelser som i varje processor representeras med ett statusord. Statusorden återspeglar den status som olika enheter inom respektive processor har efter varje klockcykel. I den första processorn CP-A genereras efter varje klockcykel ett nytt s.k. första statusord STWA och i den andra processorn genereras ett nytt s.k. andra statusord STWB. Instruktionshämtare och adressberäknare är exempel på enheter inom processorerna som signalerar sin status med hjälp av bitar till de två statusorden STW1 och STW2. För att kunna arbeta parallellt måste bågge processorena vara identiska och samtidigt som statusordet STWA genererats i den första processorn CP-A genereras med samma klockcykel ett motsvarande statusord STWB i den andra processorn CP-B. Om samtliga enheter i de två processorerna är utan fel är de två statusorden identiska. De två processorerna arbetar alltså parallellt, det vill säga utför samma arbete, samtidigt. I figur 2 visas de enheter i de bågge processorerna som är av betydelse för att förstå idén bakom uppföringen. I detta utföringsexempel är den första processorn CP-A den processor som har det övergripande ansvaret i systemet. De enheter i de bågge processorerna som används i uppföringen när CP-A är aktiv har i figur 2 markerats med kraftigt markerade linjer. Varje processor inhämtar statusbitar från olika enheter och dessa bitar bildar i CP-A ett statusord i en statusbuss STBA och i CP-B ett statusord i en statusbuss STBB. Varje processor omfattar en checkbitsgenerator, en s.k. första checkbitsgenerator CBGA och en andra checkbitsgenerator CBGB. Varje processor CP-A och CP-B omfattar även en korrigeringsmodul, en första korrigeringsmodul KMA och en andra korrigeringsmodul KMB. Dessutom omfattar varje processor en komparator, en första komparator KA och en andra komparator KB. Centralprocessorenheten CPU omfattar förutom de bågge

Ink. t. Patent- och reg.verket

1999-U7-01

Huvudfaxen Kassan

6

processorerna CP-A och CP-B även en beslutsenhet DU. Närmast kommer uppfinitionen att förklaras övergripande i samband med figur 2. Därefter kommer de enheter som har central betydelse för uppfinitionen att förklaras mer i detalj i samband med figur 3. I figur 4 visas därefter ett flödesschema över ett förfarande enligt uppfinitionen.

I figur 2 visas ett första statusord STWA genererat i CP-A och ett andra statusord STWB genererat i CP-B. I figur 2 visas de enheter som är nödvändiga för att sammanföra det första statusordet STWA i den första processorn CP-A med det andra statusordet STWB i den andra processorn CP-B, utan att behöva förflytta det första statusordet STWA till den andra processorn. Detta lösas av uppfinitionen genom att i stället för att överföra det första statusordet STWA från den första till den andra processorn, överförs endast en checkkod CCA som genererats ur det första statusordet. Det första statusordet STWA återskapas därefter i den andra processorn CP-B. Detta kommer att förklaras närmare i samband med figur 3. I checkbitsgeneratorn CBGA genereras den första checkkoden CCA ur det första statusordet STWA. Den första checkkoden CCA översändes till den andra processorn CP-B. I den andra processorn, i korrigeringsmodulen KMB, sammanförs den första checkkoden CCA med den andra checkkoden CCB. Den andra checkkoden CCB har genererats ur det parallella statusordet STWB på B-sidan. Med hjälp av de två checkkoderna CCA och CCB kan de bitar som eventuellt skiljer de två statusorden åt, pekas ut. Denna process kommer att förklaras utförligt i samband med figur 3. Med hjälp av de bitar pekats ut och som skiljer de två statusorden STWA och STWB åt kan det första statusordet återskapas i den andra processorn. Detta sker genom att de utpekade bitarna inverteras i det andra statusordet STWB som därmed utgör statusordet STWA. Det första statusordet STWA har därmed återskapats i den andra processorn CP-B utan att det första statusordet STWA i sin

Ink. t. Patent- och reg.verket

-0/- 01

7

Huvudfoxen Kassan

helhet har överförts från den första processorn CP-A till den andra processorn CP-B. Hur detta går till i detalj kommer nu att förklaras med hjälp av figur 3.

Närmast visas i figur 3 ett enkelt exempel för att visa hur checkkoderna CCA och CCB genereras och används för att peka ut ett bitfel. Istället för att använda ett större dataord (exempelvis 128 bitar) används ett mindre dataord för att underlätta förståelsen. Principen är densamma oavsett dataordets längd. Antag att dataordet omfattar totalt 8 bitar. För att detektera ett en-bitsfel i dessa åtta bitar krävs fyra checkbitar. I figur 3 visas de två processorer som nämndes i samband med figur 2. De två processorna CP-A och CP-B har i figuren skilts åt med en bred streckad linje L. Det första statusordet STWA i den första processorn CP-A representeras av åtta bitar AD7-AD0 och det andra statusordet STWB i den andra processorn CP-B representeras med bitarna BD7-BD0. Den första checkbitsgeneratorn CBGA som visades i figur 2, återfinns i figur 3. Checkbitsgeneratorn CBGA genererar fyra checkbitar C3-C0. Den andra checkbitsgeneratorn CBGB genererar på samma sätt fyra checkbitar ur de åtta bitarna BD7-BD0 i det andra statusordet STWB på B-sidan. Korrigeringsmodulen KMB omfattar fyra exorgrindar i vilka checkbitar från de två processorsidorna sammanförs. Dessutom omfattar korrigeringsmodulen KMB en kodtabell CT som används för att peka ut en bitposition som skiljer sig i de två orden STWA och STWB. För att förstå hur en felaktig bitposition väljes ut måste man förstå hur checkbitarna C3-C0 skapas. Eftersom även checkbitarna kan ha förändrat sig från en tidpunkt till en annan är det totalt tolv bitar AD7-AD0 och C3-C0 som kan ha förändrat sig. För att kunna peka ut en "felaktig" bit av dessa tolv bitar måste bitarna delas in i grupper som delvis överlappar varandra. Denna gruppering är sedan tidigare väl känd och finns att läsa om i exempelvis "W.W Peterson and

Ink. t. Patent- och ren verket

1994-07-01

8

Huvudboxen Recd/num:

E.J. Weldon, Jr., Error correcting codes, MIT Press,
Cambridge, 1972".

	AD7	AD6	AD5	AD4	C3	AD3	AD2	AD1	C2	AD0	C1	C0
	BD7	BD6	BD5	BD4		BD3	BD2	BD1		BD0		
B1		X		X		X		X		X		X
B2		X	X			X	X			X	X	
B4	X					X	X	X	X			
B8	X	X	X	X	X							

De totalt 12 bitarna AD7-AD0, C3-C0 på A-sidan delas in i fyra grupper så som visas i tabellen ovan. De tolv bitarna representeras binärt av fyra representationsbitar B1, B2, B4 och B8 med olika signifikans. I tabellen visas hur de 12 bitarna har delats in i fyra grupper, där varje grupp motsvarar en rad i tabellen. Markeringen "X" i tabellen visar att representationsbitarna har värdet "1". Saknas "X" i en ruta har representationsbitarna värdet "0". I den första gruppen, i den första raden, finns bitar som när de representeras binärt av representationsbitarna B1, B2, B4 och B8, alla omfattar den minst signifikanta biten B1="1". I tabellen kan man se att C0=0001, D0=0011, D1=0101, D3=0111, D4=1001, D6=1011. De fem bitarna C0, AD0, AD1, AD3, AD4 och AD6 har alltså alla det gemensamt att de representeras med den minst signifikanta biten B1="1". I den andra gruppen, andra raden, finns data och checkbitar C1, AD0, AD2, AD3, AD5 och AD6 som alla representeras av B2="1". I den tredje gruppen finns bitar C2, AD1, AD2, AD3 och AD7 som representeras av B4="1" och i den fjärde gruppen finns bitar C3, AD4, AD5, AD6 och AD7 som representeras av B8="1". När gruppindelningen är bestämd genereras bitarna. Databitarna (statusordet) genereras av processorn vid varje klockcykel

Ink. t Patent- och reg.verket

1999-07-01

9

Huvudfoxen Kossan

medan checkbitarna C3-C0 skapas som paritetsbitar ur databitarna AD7-AD0. Den första checkbitten C0 bildas som en paritetsbit ur de databitar som har det gemensamt att de tillhör den första gruppen, dvs gruppen där B1=1. Detta framgår av figur 3. Databitarna i den första gruppen är följande: AD0, AD1, AD3, AD4 och AD6. Den första checkbitten C0 bildar jämn paritet med databitarna AD0, AD1, AD3, AD4 och AD6, dvs om antalet binära ettor i data bitarna är jämt får checkbitten C0 värdet "0". Om dock antalet är udda får checkbitten värdet "1". På samma sätt bildas checkbitten C1 ur bitarna AD0, AD2, AD3, AD5 och AD6. Checkbitten C2 bildas med hjälp av databitarna AD1, AD2, AD3 och AD7 medan checkbitten C3 bildas med hjälp av databitarna AD4, AD5, AD6 och AD7. Detta sätt att gruppera och generera bitar är väl känt och är en vanlig metod för att ta reda på om en bit i ett dataord förändrat sig från en första tidpunkt då ett första checkord genererades till en andra tidpunkt då ett andra checkord genererades.

Samtidigt (vid samma klockcykel) som checkbitarna genereras ur det första dataordet STWA, genereras checkbitar ur det andra dataordet STWB. I figur 3 visas hur checkbitarna genereras ur dataordet på B-sidan. Paritetsbitarna/Checkbitarna bildas ur samma databitar som användes på A-sidan. Enligt uppfinningen förflyttas därefter checkbitarna C3-C0 som genererats ur det första dataordet STWA i processorn CP-A på A-sidan, till den andra processorn CP-B, på B-sidan. Istället för att förflytta hela statusordet STWA som omfattar åtta bitar, förflyttas nu alltså endast de fyra checkbitarna C3-C0 från A-sidan till B-sidan.

A-sidans checkbitar jämförs med B-sidans checkbitar med hjälp av fyra exorgrindar på B-sidan. Om samtliga checkbitar från de bågge sidorna överensstämmer kommer samtliga exorgrindar att anta värdet "0" på utgångarna. Om någon bit förändrat sig kommer motsvarande exorgrind att anta värdet

Ink. t. Patent- och reg.verket

1999-U/-01

10

Huvudfaxen Kassan

"1". Exorgrindarnas utgångar är förbundna med en kodtabells CT adressingångar. Kodtabellen omfattar minnespositioner som var och en har en bitbredd av 12 bitar. I varje minnesposition, förutom den första, har en av bitarna kodats till det binära värdet "1". Övriga bitar i minnespositionerna har kodats till det binära värdet "0". Minnespositionerna i kodtabellen är grupperade enligt samma mönster som den tabell som visats tidigare i texten och adressingångarna motsvarar de i tabellen tidigare nämnda representationsbitarna B1, B2, B4 och B8. Om exempelvis den första checkbiten C0 från statusorden STWA och STWB skiljer sig åt kommer detta att resultera i ett binärt värde "1" på den exorgrinds utgång som är förbunden med den minst signifikanta adressingången, dvs B1="1". Att de första checkbitarna C0 från A- respektive B-sidan skiljer sig åt innebär att någon av databitarna D0, D1, D3, D4 eller D6 (databitarna i den första gruppen B1 i tabellen) skiljer sig åt i de bågge statusorden. Antag nu att databitarna D3 är olika i de två statusorden STWA och STWB. Detta kommer att resultera i att checkbitarna C0, C1 och C3 skiljer sig åt och att adressbitarna B1, B2 och B4 kommer att anta det logiska värdet "1" medan adressbit B8 antar det logiska värdet "0". Adressbitarna B8="0", B4,B2,B1="1" kommer tillsammans att peka ut den minnesposition som representeras av det logiska värdet "0111", dvs minnesposition nr. 7 (binärt:0111). I minnesposition nr. 7 har alla databitar D0,D1,D2,D4,D5,D6,D7 värdet "0" utom den bit som representerar D3, som har värdet "1". Detta är sedan tidigare inlagt i kodtabellen CT enligt det mönster som visades i tabellen tidigare i texten: D0 pekas ut med B1=B2="1", D1 pekas ut med B0=B2="1" och D3 pekas ut med B1=B2=B4="1" osv. Nästa steg är att sammanföra minnesenhetens utgångar med det andra statusordet STWB via exorgrindar. Endast en av exorgrindarna visas i figur 3. Eftersom alla bitar som representerar databitar är "0" utom den bit som representerar D3 som är "1", kommer att nytt

Ink. t. Patent- och reg.verket

1999-07-01

11

Huvudfoxén Ksson

dataord att skapas ur STWB, där bit D3 inverterats. Detta nya dataord överensstämmer med det första dataordet STWA och det första dataordet STWA har därmed återskapats i den andra processorn CP-B utan att det första dataordet har behövts överföras.

I figur 2 visas hur det återskapade statusordet STWA genererats ur korrigeringsmodulen KMB i den andra processorn CP-B. Det återskapade första statusordet STWA och det andra statusordet STWB vidarebefordras till komparatorn KB i den 10 andra processorn. I komparatorn KB analyseras de bågge statusorden och direktiv översändes till beslutsenheten DU som vidtar åtgärder för att närmare undersöka vilken eller vilka enheter i processorerna som är felaktiga. Detta sker exempelvis med hjälp av olika diagnostikprogram i utpekade enheter.

I exemplet ovan har dataord med bitbredd 8 använts. För att detektera ett bitfel i ett 8-bitsord behövs 4 checkbitar. För att detektera ett bitfel i ett 64 bitars ord behövs 7 checkbitar och för att detektera ett fel i ett 128 bitars ord behövs 8 checkbitar. För att detektera mer än ett bitfel krävs ett större antal checkbitar. Hur man bygger upp kodtabeller och använder sig av checkbitar i de olika fallen är sedan tidigare väl känt och finns att läsa i "IBM Journal of research and development, Vol. 28, No. 2, pp. 123-230, 25 March 1984".

I figur 4 visas med ett flödesschema, ett förfarande enligt uppfinningen. Förfarandet är avsett att läsas tillsammans med figur 2 och figur 3. Förfarandet går ut på att sammanföra ett statusord från den första processorn CP-A med ett statusord från den andra processorn CP-B. Den första processorn CP-A är den aktiva processorn. Statusorden sammanförs i den andra processorn CP-B, utan att statusordet STWA behöver överföras i sin helhet från den första processorn CP-A till den andra processorn CP-B. Istället

Ink t. Patent- och reg.verk

1999-07-01

12

Huvudfoxen Kassan

överförs checkbitar som representerar det första statusordet varefter det första statusordet kan återskapas i den andra processorn CP-B. På detta sätt sparas bandbredd vid överföringen. Data har i förväg lagrats i kodtabellen CT 5 enligt givna felkorrigeringsregler. Flödesschemat i figur 4 visar bara de steg i förfarandet som är mest väsentliga för uppfinningen. Förfarandet omfattar följande steg:

- Ett första statusord STWA genereras i samband med en klockcykel i den första centralprocessorn CP-A. Detta steg 10 visas i figur 4 med ett block 101.
- Vid samma klockcykel genereras ett andra statusord STWB i den andra centralprocessorn CP-B. Detta steg visas också i figur 4 med blocket 101.
- Det första statusordet STWA läses in till en checkbitsgenerator CBGA i den första processorn CP-A. Den första checkkoden CCA skapas som paritetsbitar från databitar i utvalda datapositioner i det första statusordet. Detta steg visas i figur 4 med ett block 102.
- Det andra statusordet STWB läses in till en checkbitsgenerator CBGB i den andra processorn CP-B. Den andra checkkoden CCB skapas som paritetsbitar från databitar i utvalda bitpositioner i det andra statusordet. De utvalda bitpositionerna i det andra ordet är de samma som de utvalda positionerna i det första ordet. Även detta 25 steg visas i figur 4 med blocket 102.
- Den första checkkoden CCA överflyttas från checkbitsgeneratorn CBGA i den första centralprocessorn CP-A till korrigeringssmodulen KMB i den andra centralprocessorn CP-B. Detta steg visas i figur 4 med ett block 103.
- Den andra checkkoden CCB skrivs in från checkbitsgeneratorn CBGB i den andra centralprocessorn CP-

Ink. t. Patent- och reg.verket

1999-07-01

13

Huvudfaxen Kassan

B till korrigeringsmodulen KMB i den andra centralprocessorn CP-B.

5 - Motsvarande bitar i de två checkkoderna CCA och CCB sammanförs via exorgrindarna i korrigeringsmodulen KMB, dvs C0 från A-sidan sammanförs med C0 från B-sidan, C1 från A-sidan sammanförs med C1 från B-sidan osv. Detta steg visas i figur 4 med ett block 104.

10 - Utsignaler från exorgrindarnas utgångar sändes till kodtabellens CT adressingångar.

15 - Innehållet i en utpekad minnesposition i kodtabellen påföres kodtabellens datautgångar. Den bit eller de bitar som skiljer de två statusorden åt, pekas ut med hjälp av innehållet i den utpekade minnespositionen i kodtabellen. Detta steg visas i figur 4 med ett block 105.

20 - Bitar i det andra statusordet STWB inverteras. Bitarna som inverterats motsvarar de bitpositioner som pekats ut med hjälp av innehållet i minnespositionerna i kodtabellen CT. Det förändrade andra statusordet STWB motsvarar det första statusordet STWA. Detta steg visas i figur 4 med ett block 106.

25 Uppfinningen är naturligtvis inte begränsad till de ovan beskrivna och på ritningen visade utföringsformerna, utan kan modifieras inom ramen för de bifogade patentkraven. Uppfinningen kan exempelvis utnyttjas i många olika typer av parallella system. De i utföringsexemplet angivna statusordet kan naturligtvis också utgöras av någon annan typ av ord. Exempelvis kan man tänka sig att instruktionskoder utnyttjas som statusord och jämförs i de två systemen.

Ink. t. Patent- och reg.verket

1999-07-01

14

Huvudboxen Kassan

PATENTKRAV

1. Förfarande för övervakning av parallella processer i ett datasystem, vilket datasystem omfattar ett första system (CP-A) och ett andra system (CP-B), vilket förfarande omfattar följande steg:

- alstring av ett första statusord (STWA) i det första systemet (CP-A) och ett parallellt andra statusord (STWB) i det andra systemet (CP-B);
- alstring i det första systemet (CP-A) av en första checkkod (CCA) ur det första statusordet (STWA);
- alstring i det andra systemet (CP-B) av en andra checkkod (CCB) ur det andra statusordet (STWB); varvid förfarandet är kännetecknat av följande steg:
 - översändande av den första checkkoden (CCA) från det första systemet (CP-A) till det andra systemet (CP-B);
 - återskapande av det första dataordet (STWA) i det andra systemet (CP-B), genom utvärdering av den första checkkoden (CCA), den andra checkkoden (CCB) och det andra dataordet (STWB).

15

20

2. Förfarande enligt patentkrav 1, vilket förfarande omfattar följande ytterligare steg vid utvärderingen:

- utpekande av åtminstone en bit i korresponderande bitpositioner i de två checkkoderna, som skiljer den första checkkoden (CCA) från en andra checkkod (CCB);
- utpekande med hjälp av den utpekade åtminstone ena biten, av åtminstone en bit i statusorden som skiljer det första dataordet (STWA) från det andra dataordet (STWB).

25

Ink. t. Patent- och reg.ve

1999-07-01

15

Huvudfaxen Kassan

3. Förfarande enligt patentkrav 2, vilket förfarande omfattar följande ytterligare steg:

5 - Invertering av den utpekade åtminstone ena biten i det andra dataordet (STWB).

10 4. Förfarande enligt patentkrav 3, vilket förfarande omfattar följande ytterligare steg vid utvärderingen:

15 - Sammanförande av bitar i korresponderande bitpositioner i de två checkkoderna (CCA, CCB) över exorgrindar;

- Översändande av signaler från exorgrindarnas utgångar till en kodtabells adressingångar;

20 5. Förfarande enligt patentkrav 4, vilket förfarande omfattar följande ytterligare steg vid utvärderingen:

- Utpekande av en avvikande bitposition i statusorden med hjälp av en adresserad minnesposition i kodtabellen.

- Sammanförande över exorgrindar av bitar i bitpositioner i dataordet lagrat i den adresserade minnespositionen, med bitar i korresponderande bitpositioner i det andra statusordet (STWB).

25 6. Förfarande enligt något av patentkraven 2-5, vilket förfarande omfattar följande ytterligare steg:

Ink. t. Patent- och reg.verket

1999-07-01

16

Huvudboxen Kassan

- Exekvering av diagnostikprogram i enheter som representeras av de utpekade bitpositionerna i statusorden.

5 7. Anordning för att övervaka parallella processer i ett datasystem, vilket datasystem omfattar ett första system (CP-A) och ett andra system (CP-B), vilken anordning omfattar:

- medel för att alstra ett första statusord (STWA) i det första systemet (CP-A) och ett parallellt andra statusord (STWB) i det andra systemet (CP-B);
- medel för att alstra i det första systemet (CP-A), en första checkkod (CCA) ur det första statusordet (STWA);
- medel för att alstra i det andra systemet (CP-B), en andra checkkod (CCB) ur det andra statusordet (STWB); kännetecknad av
- medel för översändande av den första checkkoden (CCA) från det första systemet (CP-A) till det andra systemet (CP-B);
- medel för att återskapa det första dataordet (STWA) i det andra systemet (CP-B), genom utvärdering av den första checkkoden (CCA), den andra checkkoden (CCB) och det andra dataordet (STWB).

25

8. Anordning enligt patentkrav 7, vilket anordning omfattar:

- medel för att peka ut åtminstone en bit i korresponderande bitpositioner i de två checkkoderna

Ink. t Patent- och reg.verket

1999 -U/- 0 1

17

Huvudtalen Kassan som skiljer den första checkkoden (CCA) från en andra checkkod (CCB);

- medel för att peka ut med hjälp av den utpekade åtminstone ena biten, av åtminstone en bit i statusorden som skiljer det första dataordet (STWA) från det andra dataordet (STWB).

9. Anordning enligt patentkrav 8, vilken anordning omfattar:

10 - medel för att invertera den utpekade åtminstone ena biten i det andra dataordet (STWB).

10. Anordning enligt patentkrav 9, vilken anordning omfattar:

15 - exorgrindar som omfattar ingångar, till vilka bitar i korresponderande bitpositioner i de två checkkoderna (CCA, CCB) sammanförs, vilka exorgrindars utgångar är förbundna med en kodtabells adressingångar.

20 11. Anordning enligt patentkrav 10, vilken anordning omfattar:

25 - minnespositioner i kodtabellen som pekar ut en avvikande bitposition i statusorden;

- ingångar till exorgrindar, över vilka ingångar bitar i bitpositioner som lagrats i dataordet i den adresserade minnespositionen sammanförs med bitar i korresponderande bitpositioner i det andra statusordet (STWB).

Ink. t. Patent- och reg.verket

1999 -U7- 0 1

Huvudfoxen Kossan

18

SAMMANDRAG

Föreliggande uppfinning hänför sig till ett förfarande för att övervaka parallella processer i ett datasystem omfattande ett första system CP-A och ett andra system CP-B.

5 Förfarandet omfattar följande steg:

10

- Alstring av ett första statusord STWA i det första systemet CP-A och ett parallellt andra statusord STWB i det andra systemet CP-B.
- Alstring i det första systemet CP-A av en första checkkod CCA ur det första statusordet STWA
- Alstring i det andra systemet CP-B av en andra checkkod CCB ur det andra statusordet STWB.
- Översändande av den första checkkoden CCA från det första systemet CP-A till det andra systemet CP-B.
- Återskapande av det första dataordet STWA i det andra systemet CP-B, genom utvärdering av den första checkkoden CCA, den andra checkkoden CCB och det andra dataordet STWB.

15

20

Publiceringsfigur: Figur 2

Ink. t. Patent- och reg.verket

1999-07-01

Huvudfaxen Kossan

1/4

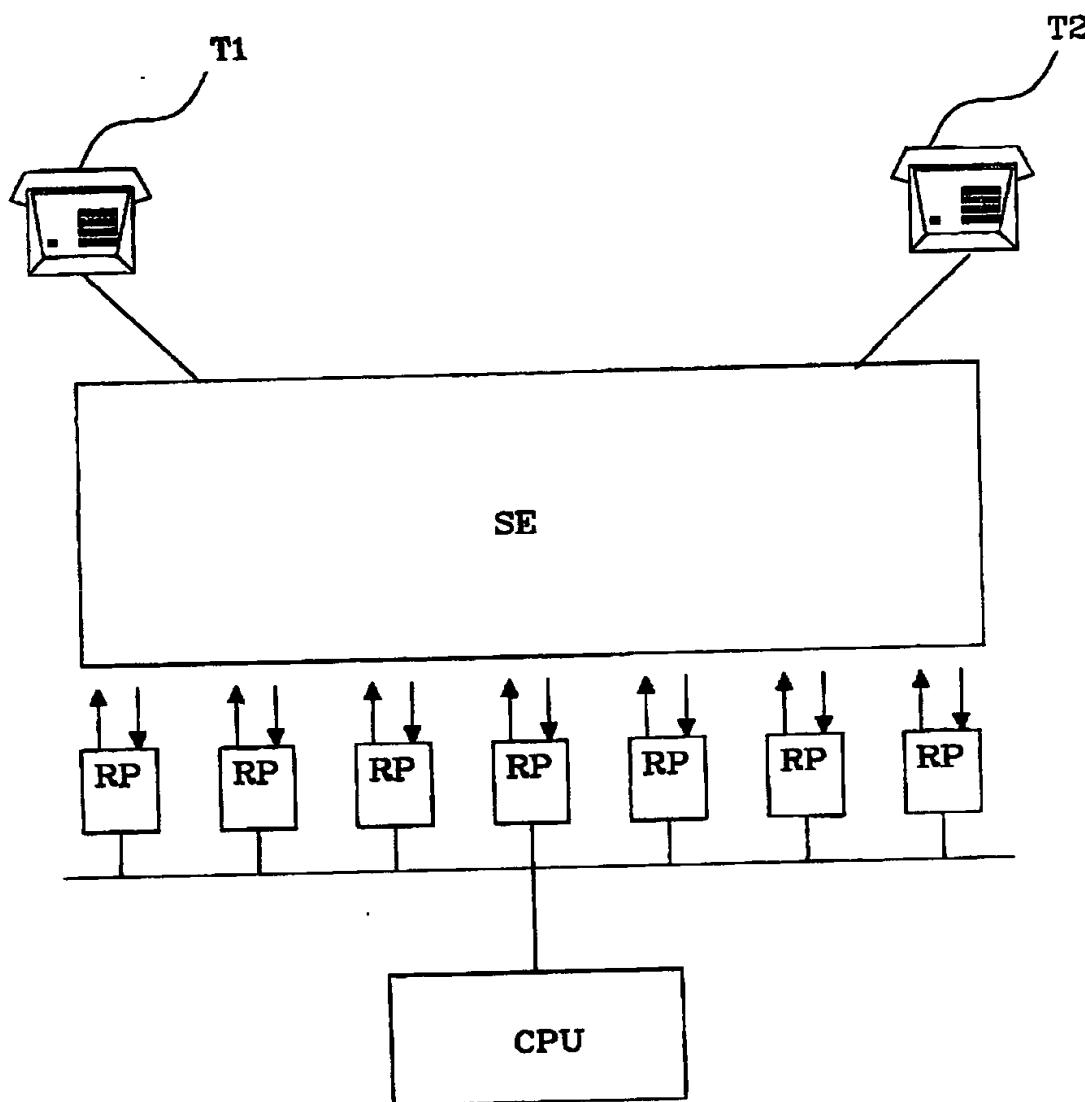


Fig. 1

Ink. t. Patent- och rea.verket

1999-07-01

2/4

Huvudtacken Komma

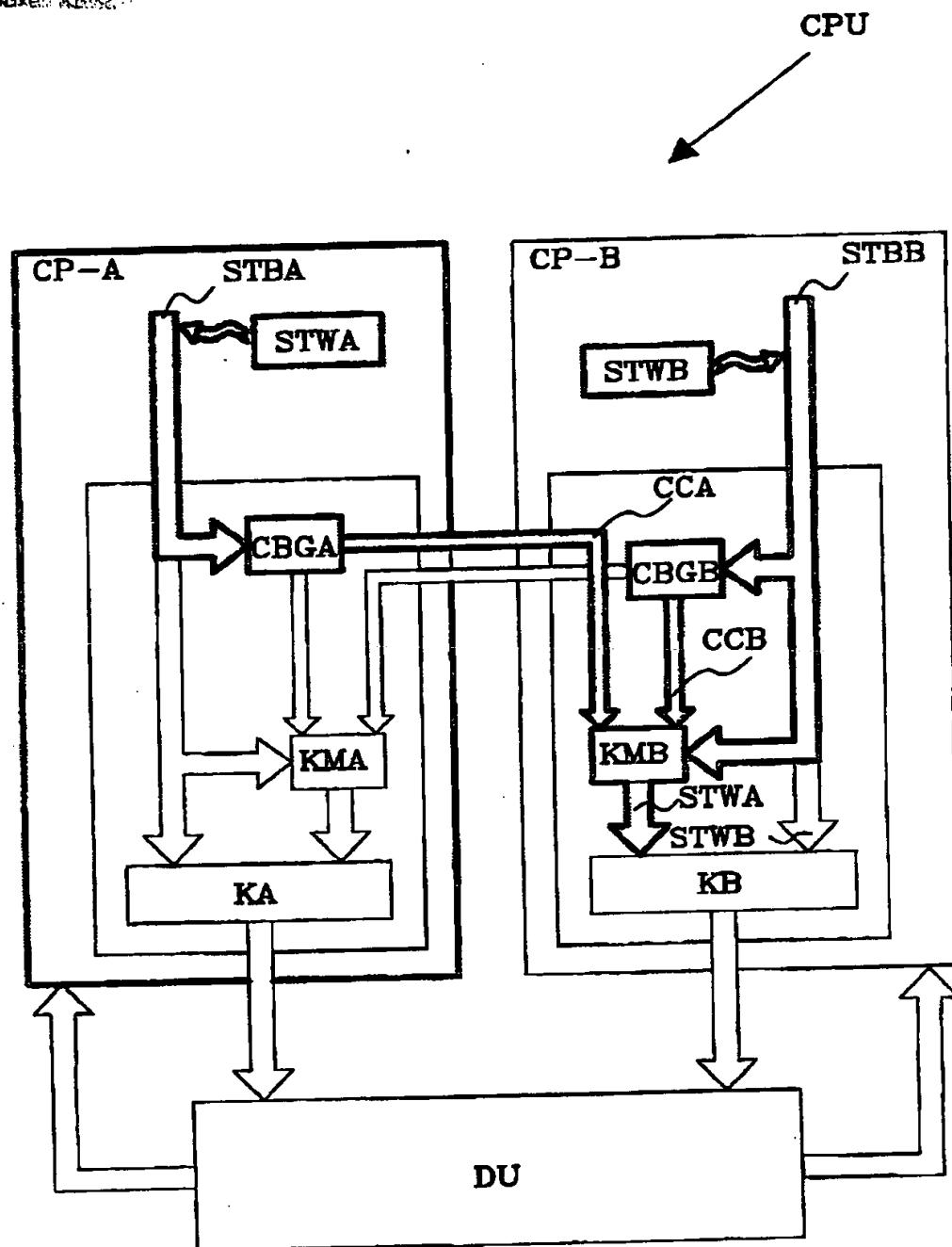


Fig. 2

Ink. t. Patent- och reg.verket

1999-07-01

Huvudboxen Kassan

3/4

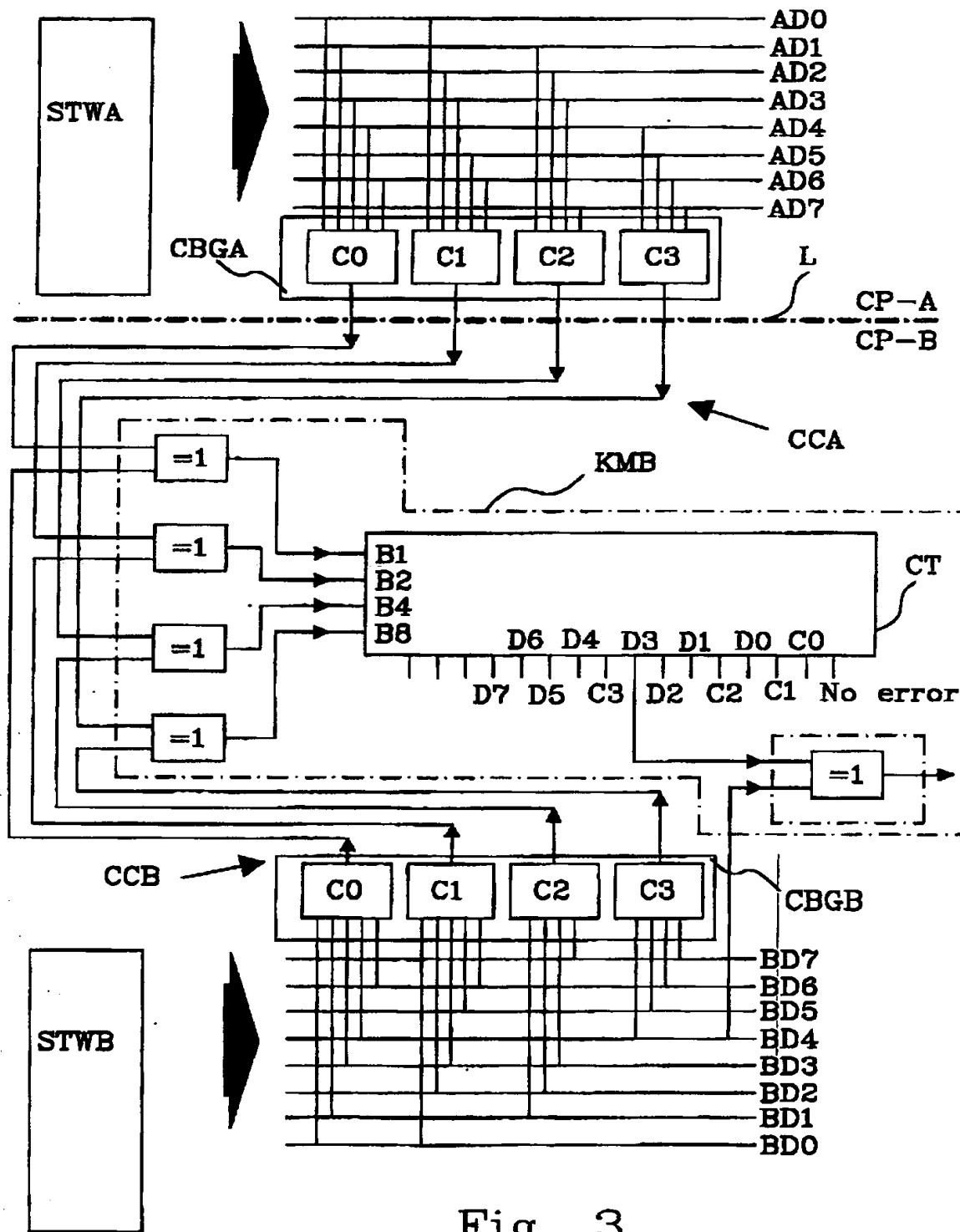


Fig. 3

Ink. t. Patent- och rea.verket

1999-U/-01

4/4

Huvudfaxen Kassan

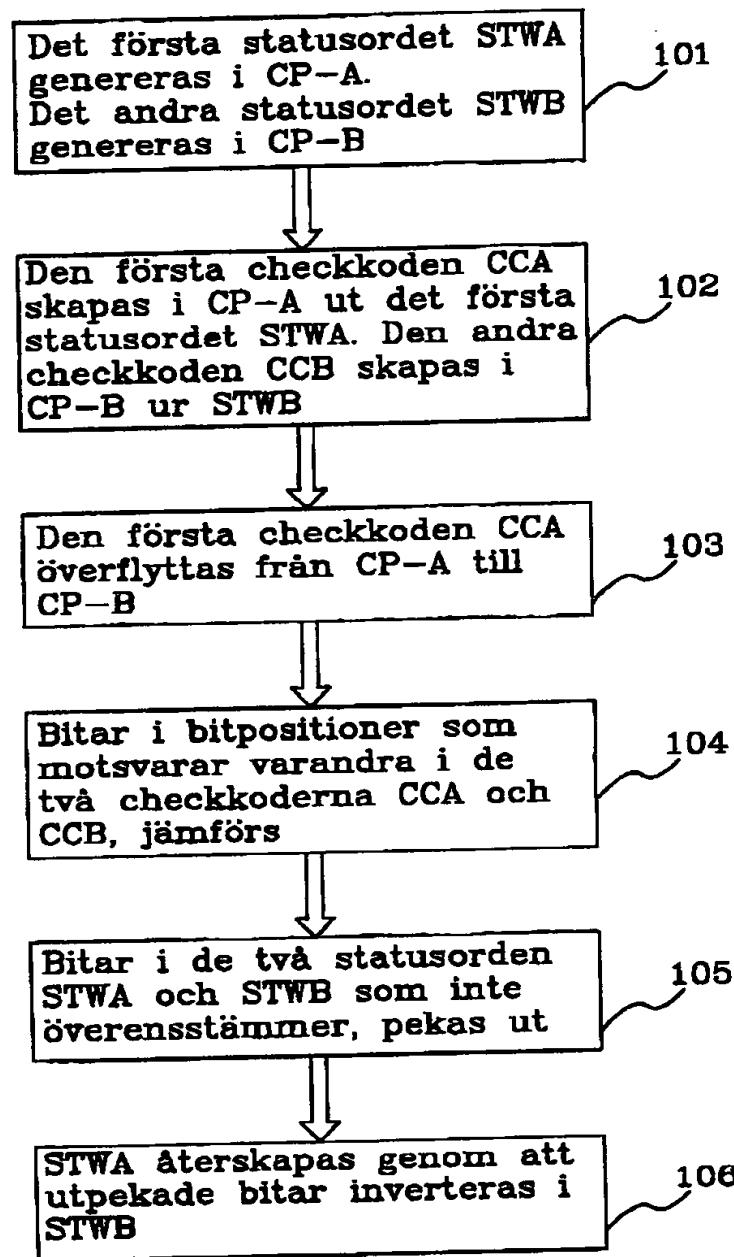


Fig. 4